



DisplayPort コンプライアンス プログラム 2017/6/20

グラナイトリバーラボ・ジャパン株式会社 エンジニアリング・マネージャ 永田 学



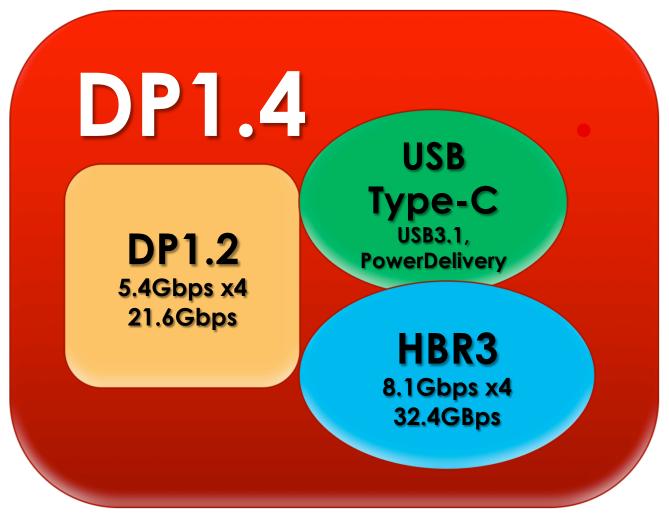
アジェンダ

- DP1.2 コンプライアンステストの概要
- DP Over USB Type-C (Alt Mode) 認証プログラム概要
- DP 1.4 初期認証プログラム概要
- Alt Mode & 1.4 Test Considerations & Lessons Learned
- GRLのDisplayPortへの取り組み





DisplayPort1.4の技術







DP1.2 コンプライアンステスト概要

- テストプランはデバイスのタイプ、サポート機能に依存
- DP 1.2 主要テスト項目
 - 1.2 エレクトリカル・テスト
 - メインリンクPHY 全てのデータ・レート(RBR/HBR/HBR2)
 - AUX PHY
 - 1.2 リンク・レイヤ
 - EDID
 - インターオペラビリティ; ソース、シンク、ケーブル、アダプタ
- オプションサポート機能:
 - マルチストリーム(MST); リンク・レイヤ、インターオペラビリティ
 - DP ++
 - デュアル・モード・アイ・ダイアグラム・テスト





DisplayPort 1.2 コンプライアンステストの要求

	Applicable Reference Document and Section				
Device Type (Reference Section in this document)	PHY CTS	Link CTS	EDID CTS	Interop CTS	Other
3.3 - Source	3, 8	4	3	3	
3.4 - Sink	4, 8	5	4	3	
3.5 - Repeater	3, 4, 8	6		3	
3.6 - Legacy-to-DisplayPort Converter	3, 8	6		3	
3.7 - DisplayPort-to-Legacy Converter	4, 8	6		3	
3.8 - Replicator	3, 4, 8	6		3	
3.9 - Output Switch	3, 4, 8	6		3	7)
3.10 - Input Switch	3, 4, 8	6		3	
3.11 - Composite Sink	3, 4, 8	6		3	2
3.12 – Passive Cable	5				
3.13 – Active Cable	9				
3.14 – Dual-mode Cable Adaptor				,	Dual-mode Cable Adaptor CTS
3.15 – Hybrid Device	6	5	9	3	



テストラボで認証テスト時に必要な情報

- レーン数、ポート数、コネクタ形状
- 最高データレート (HBR2?、HBR3?)
- サポート機能(オーディオ、MST、DP++)
- VESA capability formへの記載(ATCよりフォームを提供)
- 自動PHYテスト機能をサポートしているか?
 - ソース機器: 主要測定器メーカのツールをAUXチャンネル経由で使用可能か
 - シンク機器; ジッタ・トレランステストでDPCDレジスタの制御(読み書き、リセット)が可能か
 - DUTが自動テスト機能をサポートしていない場合、追加作業/費用が発生et
- eDP ソース、シンクはテストのため制御を行う外部ソフトウェアが必要





DP ロゴ認証プロセス



- ATCは円滑に認証テストを行えるよう以下のサポート
 - コンプライアンスの要求事項の説明
 - テスト計画; デバイスに合わせ、ローコスト、短時間なコンプライアンステスト計画を立案
 - 問題が発生した場合に、トラブルシュート、デバッグを支援
 - CTSに逸脱した項目、例外処理へのサポート

The Process

Read the documents

Test your product

Fill out the test report

Send the report and logs to Compliance Program Manager dpcpm@vtm-inc.com, approval by email

Contact VESA to:

Complete license agreement if you have not already

Provide the information needed to get your product listed on displayport.org





DP Alt Mode on USB Type-Cテスト

概要



- 1. DP コンプライアンステスト: サポートされている機能をすべて実施 Ex. DUTがピンアサインD (2x2 DP & USB5G)をサポートしていた場合、クロストークを入れたPHYテスト
- 2. USB コンプライアンス
 - USB 2.0 エレクトリカルテスト (ハイスピードのみ)
 - USB 3.1 エレクトリカルテスト
 - USB リンクレイヤテスト
 - USB ゴールドツリーテスト
 - USB ビルボード(シンクのみ)
- 3. USB Power Delivery Test
 - CC エレクトリカルテスト, CC プロトコルテスト, パワーテスト, VBUS及びVCONN検証
- **4.** アダプタ インターオペラビリティテスト:
 - Type C ドングル; DP/HDMI/VGA シンク/ソース





DP1.4早期認証プログラム



■ ソース -

- HBR2及び、より低いデータレートの現在行っているDP 1.2 CTSを使用
- HBR3メインリンクPHYコンプライアンス- 最新のPHYサブグループの提案を反映
- HBR3でリンクトレーニングとファンクション検証
 - リファレンスシンク: RealTek, Mstar

■ シンク -

- HBR2及び、より低いデータレートの現在行っているDP 1.2 CTSを使用
- HBR3 シンクジッタトレランス
- HBR3でリンクトレーニングとファンクション試験
 - リファレンスソース: AMD RX480
- シンボルエラーカウンタレジスタがAUXチャンネル経由で確認できること (エラーカウンタの読み出しに特殊なソフトウェアなどを使用しない)





DP1.4早期認証プログラム-リンク、インターオペラビリティテスト



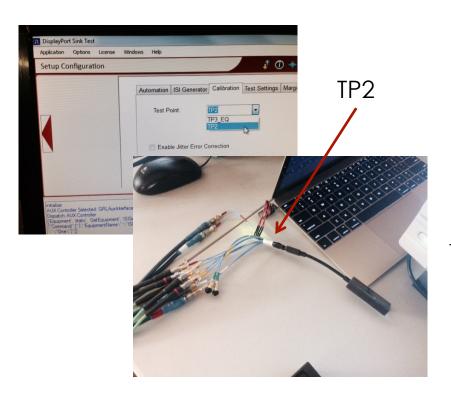
- 現時点では自動リンクトレーニングツールは無い
- リファレンスソース、リファレンスシンクを使用し、手動でテストを実施
 - リンクトレーニングのテスト手法
 - ・AUXチャンネルモニタを介してリファレンスソースとシンクを接続
 - ・HBR3においてサポートされている解像度に対しリンクトレーニングのテスト
 - •1stフェイズーD10.2 クロックレート
 - 2ndフェイズーTPS4、CH EQ、シンボルロック、Laneアライメント
 - 720Mp/s以上のすべての解像度におけるピクセルレートとリンクトレーニングのチェック
 - ・フェイズ1、フェイズ2のリンクトレーニングで失敗した際にHBR2になることを確認
 - サポートされている解像度でのスクリーンチェック
 - 特性の異なるケーブルを使用しテストを実施するEx チャンネル数やケーブルの長さなど

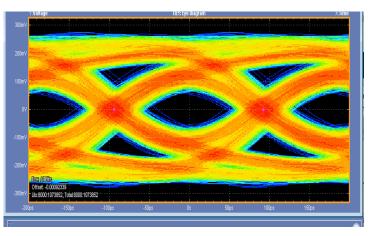
Source: VESA DP 1.4 Early Certification Test Program, 9/21/2016



HBR3 シンクテスト

- HBR3 シンクセットアップ
 - DP Over Type-C: TP2、TP3_EQのキャリブレーション、Alt modeの初期化、クロストーク、マックスプロバイダーパワーストレステスト。
 - GRLの試験セットアップについてはGRL-Tektronix MOIを参照





TP2 = [TP3_Eq] - [HBR2 Cable Model] - [EQ]



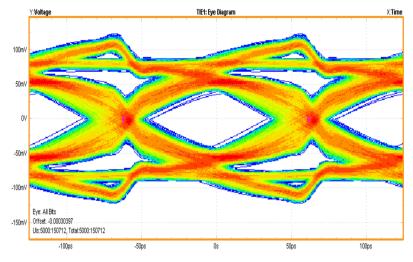


HBR3 シンク キャリブレーション



TP3_EQ ISI Calibration

Eye Height Calibration with DFE







Alt Mode & 1.4 Test Considerations & Lessons Learned



- Alt mode:
 - USB Power Deliveryスペックを満足していない(BMC Eye, プロトコル)
- HBR3 ソース
 - CTLE: Eye Height、ジッタスペック(75mV and 500mUI) を満たさない
- ■ソース全般
 - AUXでDCエラー
 - IRQ受信時のリンクエラー
- HBR3 シンク
 - クロストーク 実際の信号か? 1/4クロック信号か?
- シンク全般
 - AUX経由のエラーカウンタチェックの未搭載/動作不良





GRL = The DisplayPort Leader

- DP CTSの作成に貢献
 - 2010年よりVESAに参画
 - Type-C/Alt mode認証プログラムの開発に貢献
 - DP1.4早期認証プログラムで主導的役割を果たす
 - DP1.4 テストの定義
 - DP1.4採用の製品テストを実施
 - Mike Engbretson, GRLチーフエンジニア -
 - DP 1.2 認証試験のエディター
 - VESA DP試験タスクグループの元チーフ
- DP主要プレーヤーと緊密に連携
 - GPU: Intel, AMD, NVidia
 - シンク/リピーター IC: NXP, TI, MStar, RealTek, Megachips
 - FPGA/DSP: Bitec, XILINX, Altera
 - 最終製品: Dell, HP, Acer, ASUS, Lenovo, LG, Microsoft, Belkin

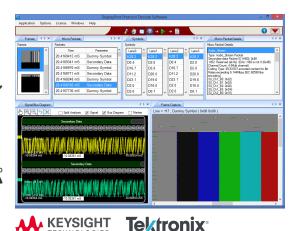




GRL DisplayPort テストソリューション



- Main Link & AUX Scope Protocol Decode (GRL-DP-DEC/GRL-DPAUX-DEC)
 - MSTを含むメインリンク及びAUXの詳細な情報を提供
 - PHYテストに使用されているのと同じオシロスコープでプロトコル解析とデバック (Keysight or Tektronix)
 - PHY、パケット、映像間の相関をもって表示、解析、デバック
 - アクティブビデオ、セカンダリデータパケット、オーディオデータパケットを見やすくテーブル表示
- Sink PHY Test Automation for the Tektronix BERTScope (GRL-DP-SINK)
 - シンク ジッタトレランス試験で使用するEyeのキャリブレーション
 - DP1.2版は販売中, DP1.4版は2017年Q2を予定



















GRL 事業拠点 DisplayPort ATC 4カ所









ありがとうございました

GRL Japan:

永田 学, エンジニアリングマネジャー

nagata@graniteriverlabs.com

GRL Japanへのコンタクトは

URL:http://graniteriverlabs.co.jp/

横山 稔, セールスディレクター

myokoyama@graniteriverlabs.com



